

UFABC – Sistemas Digitais – MCTA024 – 2022-2

TPI: 2-2-4 Carga Horária: 48

Horário/Local:

Aulas Teóricas – Quartas-feiras (semanal), 21:00 às 23:00 / Sala S-306-2
Aulas Práticas – Sextas-feiras (semanal), 19:00 às 21:00 / Laboratório 407-2

Professor: Denis Gustavo Fantinato – Bloco A, Sala 509-2

denis.fantinato@ufabc.edu.br

Atendimento Extraclasse: Quartas-feiras, das 20:00 às 21:00, Sala 509-2
Quintas-feiras, das 18:00 às 19:00, Sala 509-2

Ementa

Sistemas Digitais. Introdução à Linguagem VHDL. Descrição, Modelagem e Simulação de Circuitos Digitais. Projeto Estruturado e Implementação de Circuitos Digitais. Exemplos Comerciais e Estudo de Casos para os tópicos abordados.

Objetivos

Apresentar ferramentas e metodologias de projeto associadas a Sistemas Digitais não triviais.

Sobre a disciplina

A disciplina será oferecida de forma presencial. As aulas e avaliações serão realizadas presencialmente.

Cronograma

Aula	Data	Conteúdo
1	08/06	Apresentação da Disciplina e Atualidades Revisão de Circuitos Digitais
2	10/06	Lab 1 - Simulação Blocos Esquemáticos no Quartus II e FPGA
3	15/06	Revisão de Circuitos Digitais FPGA – Field Programmable Gate Array
4	17/06	Feriado (Corpus Christi) – Reposição em 30/08
5	22/06	VHDL
6	24/06	Lab 2 – Blocos Esquemáticos e Encapsulamento

7	29/06	VHDL Máquina de Estados Finita
8	01/07	Lab 3 – Introdução ao VHDL, GHDL e GTKWave
9	06/07	Máquina de Estados Finita
10	08/07	Lab 4 – Simulação VHDL no Quartus II / Somador Completo
11	13/07	Introdução à Unidade Lógica Aritmética (ULA)
12	15/07	Lab 5 – Máquina de Estados em VHDL
13	20/07	Avaliação P1
14	22/07	Lab 6 – Quartus-II e ModelSim / Definição dos Projetos
15	27/07	Transferências entre Registradores baseadas em MUX e BUS
16	29/07	Lab 7 – Desenvolvimento do Projeto
17	03/08	DataPath
18	05/08	Lab 8 – Desenvolvimento do Projeto
19	10/08	ASM – Máquina de Estado Algorítmica
20	12/08	Lab 9 – Finalização do Projeto
21	17/08	Tecnologias de Circuitos Integrados
22	19/08	Apresentação Projetos
23	24/08	Avaliação P2
24	26/08	Substitutiva
25	30/08	Recuperação

Critério de avaliação

A média final (MF) será composta por duas avaliações, um projeto e a participação nas aulas:

Avaliação P1 – 25 % da nota

Avaliação P2 – 35 % da nota

Projeto – 30 % da nota

Participação – 10% da nota

A média das Avaliações (MA) será calculada por:

$$MA = (0,25 \times P1 + 0,35 \times P2)/0,60$$

A média final (MF) será calculada da seguinte forma:

$$MF = 0,60 \times MA + 0,30 \times \text{Projeto} + 0,10 \times \text{Participação}$$

O conceito final (CF) na disciplina será **F** se MA e/ou Projeto forem menor do que 5 (cinco). Caso contrário, o conceito final (CF) será obtido a partir da média final (MF) por meio da seguinte tabela:

Conceito Final (CF)	Média Final (MF)
A	$MF \geq 8,5$
B	$7,0 \leq MF < 8,5$
C	$6,0 \leq MF < 7,0$
D	$5,0 \leq MF < 6,0$
F	$MF < 5,0$

Excepcionalmente, em caso de não haver entrega de atividades avaliativas (Resolução ConsEPE nº 245), o conceito será **O**.

Avaliações P1 e P2

A avaliação P1 e a avaliação P2 serão individuais:

- Avaliação P1: ocorrerá no dia 20/07/2022, de forma presencial.
- Avaliação P2: ocorrerá no dia 24/08/2022, de forma presencial.

Projeto:

Um projeto deverá ser realizado seguindo uma das linhas que serão apresentadas durante o curso.

Deverá ser entregue:

- Relatório contendo as seguintes seções:
 - Descrição do Problema
 - Métodos e Implementação
 - Resultados
 - Discussão

O Relatório deverá possuir no máximo 3 (três) páginas e seguir o template disponibilizado.

- Código-fonte dos experimentos.

Data de entrega:

- **Relatório completo e código-fonte: 19/08/2022**

Alguns dos aspectos que serão avaliados no projeto são: seguir o template corretamente, limite de páginas, discussão de questões sobre a implementação, profundidade dos dados/resultados gerados, profundidade da discussão dos resultados.

O Projeto poderá ser realizado em grupos (o número máximo de integrantes será definido de acordo com a disponibilidade das FPGAs).

Avaliação Substitutiva (SUB):

Os alunos que não puderem realizar alguma das duas avaliações previstas (**P1** ou **P2**) em razão das justificativas mencionadas na Resolução CONSEPE 227 de 23 de abril de 2018 poderão realizar uma avaliação substitutiva. Nesse caso, o aluno deve entrar em contato com o professor por e-mail para solicitar a avaliação substitutiva e com a justificativa da solicitação.

Avaliação substitutiva: ocorrerá no dia 26/08/2022, de forma presencial.

Importante: a solicitação da avaliação substitutiva deve ser realizada pelo aluno até o dia 25/08/2022 para viabilizar a realização dentro do prazo.

Avaliação de Recuperação (REC):

Estarão habilitados para a avaliação de recuperação os alunos que obtiverem conceito final **D** ou **F** na conclusão de todas as atividades e avaliações aplicadas no período letivo regular.

Avaliação de recuperação: ocorrerá no dia 30/08/2022, de forma presencial.

A média final com recuperação será obtida da seguinte forma, em que REC é a nota obtida na avaliação de recuperação:

$$\text{MR} = 0,5 \times \text{MF} + 0,5 \times \text{REC}$$

Com base na média final com recuperação (MR), será aplicada a tabela de conversão de conceito a seguir (o conceito final com recuperação será no máximo C):

Conceito Final com Recuperação (CFR)	Média Final com Recuperação (MR)
C	MR ≥ 6,0
D	5,0 ≤ MR < 6,0
F	MR < 5,0

Bibliografia

Básica

1. MANO, M. M. e KIME, C. R – *Logic and Computer Design Fundamentals*. Pearson Prentice Hall, 4ª edição, 2007.
2. TOCCI, R. J. ; WIDMER, N. S. e MOSS, G. L. – **Sistemas Digitais: princípios e aplicações**. Pearson Prentice Hall, 11ª edição, 2011.
3. VAHID, F. – **Sistemas Digitais: projeto, otimização e HDLs**. Porto Alegre: Artmed Bookman, 2008.
4. FLOYD, T. L. – **Sistemas Digitais: fundamentos e aplicações**. Porto Alegre: Artmed Bookman, 9ª edição, 2007.
5. CHU, P. P. – **FPGA Prototyping by VHDL Examples**. Hoboken, NJ: John Wiley & Sons, 2008.

Complementar

1. KATZ, R. H. – *Contemporary Logic Design*. Addison Wesley Publishing Company, 1993.
2. WAKERLY, J. F. – *Digital Design: principles and practices package*. Prentice Hall, 4^a ed., 2005.
3. ERCEGOVAC, M.; LANG, T. e MORENO, J. **Introdução aos Sistemas Digitais**. Bookman, 2000.
4. ASHENDEN, P. J. – *The Designer's Guide to VHDL*. Morgan Kaufmann Publisher, 2^a ed., 2002.