

Caracterização da Disciplina

Cód. da Disciplina:	MCTA024	Nome da Disciplina:	Sistemas Digitais
Cód. da Turma:	TNA1MCTA024-13SA	2ª. 21h – 23h 5ª. 19h – 21h (prática)	
	TNA2MCTA024-13SA	2ª. 21h – 23h 5ª. 19h – 21h (prática)	
	TDA2MCTA024-13SA	<-----> 5ª. 08h – 10h (prática)	

Créditos (T-P-I):	(2-2-4)	Carga horária:	48h	Prática:	24h
--------------------------	---------	-----------------------	-----	-----------------	-----

Docente:	Hugo Puertas de Araújo
-----------------	------------------------

Objetivos Gerais:

- ◆ Apresentar ferramentas e metodologias de projeto associadas a Sistemas Digitais não triviais.

Ementa:

Sistemas Digitais. Introdução à Linguagem VHDL. Descrição, Modelagem e Simulação de Circuitos Digitais. Projeto Estruturado e Implementação de Circuitos Digitais. Exemplos Comerciais e Estudo de Casos para os tópicos abordados.

Conteúdo programático:

Aula	Conteúdo
1ª – 29.05.23	Apresentação da Disciplina e Revisão de Circuitos Combinacionais
2ª – 01.06.23	Revisão de Circuitos Sequenciais e Introdução à Linguagem VHDL
3ª – 05.06.23	Análise e Projeto de Circuitos Combinacionais e Sequenciais
4ª – 08.06.23	Feriado (Corpus Christi) (reposição dia 21.08.23, segunda-feira)
5ª – 12.06.23	DAC – Conversão Digital-Analógico (Escada Binária, Rede R-2R etc.)
6ª – 15.06.23	Lab 1 – Simulação VHDL no GHDL e no GTKWave
7ª – 19.06.23	ADC – Conversão Analógico-Digital (Rampa Digital, Aprox. Sucessivas, <i>Flash</i>)
8ª – 22.06.23	FPGA – <i>Field Programmable Gate Array</i>
9ª – 26.06.23	Introdução à Unidade Lógica Aritmética (ULA)
10ª – 29.06.23	Aula de Exercícios e Revisão para a prova
11ª – 03.07.23	Prova P1
12ª – 06.07.23	Lab 2 – Simulação VHDL no Quartus Prime e ModelSim
13ª – 10.07.23	Transferências entre Registradores baseadas em MUX e BUS
14ª – 13.07.23	Lab 3 – Quartus Prime e Placa DE10 da Altera/Intel
15ª – 17.07.23	DataPath e Tópicos de VHDL
16ª – 20.07.23	Lab 4 – Projeto Prático
17ª – 24.07.23	DataPath e Palavra de Controle
18ª – 27.07.23	ASM – Máquina de Estado Algorítmica
19ª – 31.07.23	Controle por Hardware

20ª – 03.08.23	Controle Microprogramado – Entrega do Trabalho Final
21ª – 07.08.23	Prova P2
22ª – 10.08.23	Lab 5 – Questão Prática da P2
23ª – 14.08.23	Prova Substitutiva
24ª – 17.08.23	Correção de Provas
25ª – 21.08.23	Exame de Recuperação (Reposição do Feriado de 08.06.23)

Bibliografia:**Básica:**

1. MANO, M. M. e KIME, C. R – Logic and Computer Design Fundamentals. Pearson Prentice Hall, 4ª edição, 2007.
2. TOCCI, R. J. ; WIDMER, N. S. e MOSS, G. L. – Sistemas Digitais: princípios e aplicações. Pearson Prentice Hall, 11ª edição, 2011.
3. VAHID, F. – Sistemas Digitais: projeto, otimização e HDLs. Porto Alegre: Artmed Bookman, 2008.
4. FLOYD, T. L. – Sistemas Digitais: fundamentos e aplicações. Porto Alegre: Artmed Bookman, 9ª edição, 2007.
5. CHU, P. P. – FPGA Prototyping by VHDL Examples. Hoboken, NJ: John Wiley & Sons, 2008.

Complementar:

1. KATZ, R. H. – Contemporary Logic Design. Addison Wesley Publishing Company, 1993.
2. WAKERLY, J. F. – Digital Design: principles and practices package. Prentice Hall, 4ª ed., 2005.
3. ERCEGOVAC, M.; LANG, T. e MORENO, J. Introdução aos Sistemas Digitais. Bookman, 2000.
4. ASHENDEN, P. J. – The Designer’s Guide to VHDL. Morgan Kaufmann Publisher, 2ª ed., 2002.

Critério de avaliação:

Nota_final = Prova P1 (30%) + Prova P2 (30%) + Trabalho Final (35%) + Participação (5%)

Cálculo do conceito a partir da nota:

0 <= F < 4,5; 4,5 <= D < 6,0; 6,0 <= C < 7,5; 7,5 <= B < 9,0; 9,0 <= A;

A Prova Substitutiva é fechada, i.e., somente tem direito a ela quem perdeu uma das Provas.

O Exame de Recuperação será realizado no dia 21/08/2023, segunda-feira! O Conceito Final será composto pela Prova de Recuperação (50%) e pela Nota Final do quadrimestre (50%).

Estarão habilitados para a avaliação de recuperação os alunos que obtiverem conceito final **D** ou **F** na conclusão de todas as atividades e avaliações aplicadas no período letivo regular, obedecendo às regras indicadas na Resolução CONSEPE nº. 182, de 23 de outubro de 2014.